

아날로그 부하 주파수 제어기의 H_2 최적 디지털 재설계

박해연*, 김정훈*
포항공과대학교*

H_2 Optimal Digital Redesign of Analog Load Frequency Controller

Hae Yeon Park*, Jung Hoon Kim*
Pohang University of Science and Technology*

Abstract - 본 논문에서는 아날로그 부하 주파수 제어 시스템을 위한 디지털 최적 재설계 기법을 제안한다. 우선, 단일지역 전력 계통을 위한 아날로그 부하 주파수 제어기가 사전에 설계되어 있음을 가정하고, 아날로그 제어기에 기반하여 이와 유사하게 동작하도록 하는 최적 샘플치 제어기를 설계한다. 마지막으로, 모의실험을 통해 제안한 기법의 유효성을 보인다.

1. 서 론

전력 사용자에게 의해 요구되는 부하 전력의 양과 전력 공급자가 제공하는 공급 전력의 양 사이에서 불균형이 발생할 경우, 계통에 연결된 전기 기기에 악영향을 끼치거나, 대규모 정전과 같은 계통사고로 이어질 수 있다. 즉, 고품질의 전력을 공급하고, 전력 계통의 안정성을 보장하기 위해서는 부하 전력과 공급 전력 사이의 균형을 잘 유지해야만 한다. 이에, 부하 전력과 공급 전력 사이의 불균형이 시스템 주파수의 변동을 유도한다는 사실에 기반하여, 시스템 주파수를 감출하여서 공급 전력을 제어하는 부하 주파수 제어 (Load Frequency Control) 기법에 관한 연구가 많이 진행되었다[1].

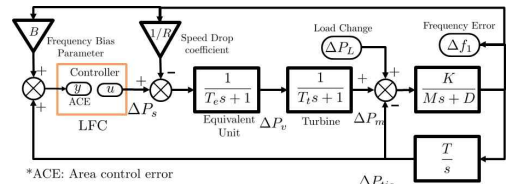
부하 주파수 제어기는 주로 컴퓨터를 이용한 제어기술을 사용하기 때문에, 샘플러와 홀더, 그리고 디지털 제어기가 포함된 샘플치 제어 기법을 기반으로 제어가 이루어져야 한다[2]. 이때, 이를 위한 샘플치 제어 기법으로, 사전에 설계된 연속시간 제어기와 가장 유사하게 동작하는 이산시간 제어기를 설계하는 디지털 재설계 기법을 고려할 수 있다[3]. 한편, 전력 계통에서는 다수의 사용자가 다수의 전자 기기를 사용하기 때문에, 부하 전력의 변화가 불규칙적으로 발생한다. 따라서, 부하 주파수 제어기가 주로 수 초 ($1\sim 4$ [s])의 큰 샘플링 주기 [1][2]를 이용하여 주파수 정보를 제어기에 전달하는 점을 고려했을 때, 샘플링 순간에 입력되는 외란에 대해서 최적 디지털 제어기를 설계하는 기존의 방식 [3]을 사용하면 샘플링 간격 사이에 입력되는 외란에 대한 최적성을 보장할 수 없다.

따라서, 본 논문에서는 [4]에서 제안된 샘플링 주기 사이의 임의의 시각에 입력되는 외란 신호에 대해 최적성을 확보할 수 있는 디지털 재설계 기법을 활용하여 아날로그 부하 주파수 제어기의 디지털 재설계를 제안한다. 마지막으로, 모의실험을 통해 제안한 기법의 유효성을 보인다.

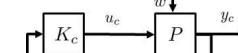
2. 본 론

2.1 아날로그 전력 계통 모델

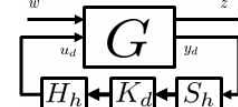
먼저 그림 1과 같이 주어지는 단일지역 전력 계통 모델을 고려한다. 여기서 ΔP_s 는 기준 조절점 증분, ΔP_v 는 벨브 위치 증분, ΔP_m 은 유효 전력 증분, ΔP_{tie} 는 tie-line 전력 증분, Δf 는 시스템 주파수 증분, ΔP_L 은 부하 전력 증분이다. 여기서, 상태-공간 방정식의 상태변수를 $x = [\Delta P_v \ \Delta P_m \ \Delta f \ \Delta P_{tie}]^T$ 로 표현하고, 제어 입력, 외란, 출력을 각각 $u = \Delta P_s$, $w = \Delta P_L$, $y = B\Delta f + \Delta P_{tie}$ 로 표현하면, 단일지역 전력 계통 모델을 다음과 같은 연속시간 상태-공간 방정식으로 표현할 수 있다.



〈그림 1〉 단일지역 전력 계통 모델



〈그림 2〉 아날로그 부하 주파수 제어 모델



〈그림 3〉 일반화된 샘플치 제어 시스템

$$P : \begin{cases} \dot{x}(t) = A_p x(t) + B_{p1} w(t) + B_{p2} u(t) \\ y(t) = C_p x(t) \end{cases} \quad (1)$$

여기서 y 는 지역 제어 오차 (ACE, Area Control Error)를 의미하며 부하 주파수 제어기는 ACE를 줄이는 것을 목표로 설계된다.

2.2 디지털 재설계

디지털 재설계에 앞서, 단일지역 전력 계통 모델을 제어하기 위한 아날로그 부하 주파수 제어기 K_c 가 그림 2와 같이 주어짐을 가정한다. 이때, 샘플치 제어 모델은 아날로그 제어기 K_c 를 샘플러 S_h , 디지털 제어기 K_d , 그리고 홀더 H_h 로 대체함으로 구성된다. 여기서, 홀더 H_h 는 0차 홀더를 가정하며, 샘플러 S_h 와 같은 샘플링 주파수 $h \in \mathbb{R}_{>0}$ 에 동기화되어 동작한다고 가정한다. 또한, 아날로그 모델의 제어 입력과 출력을 각각 $u_c(t), y_c(t)$ 로 정의하고 샘플치 모델의 제어 입력과 출력을 각각 $u_d(t), y_d(t)$ 로 정의한다. 이를 이용하여 동일한 부하 전력 변화에 대한 두 모델의 거동을 비교하기 위해 거동 오차 변수 $z(t)$ 를 다음과 같이 정의한다.

$$z(t) = \begin{bmatrix} y_c(t) - y_d(t) \\ \rho(u_c(t) - u_d(t)) \end{bmatrix} \quad (2)$$

여기서 $\rho \in \mathbb{R}_{>0}$ 는 가중치 변수이다. 이후에, 부하 전력 증분으로부터 거동 오차 변수 $z(t)$ 를 비교하기 위해 아날로그 제어 시스템과 샘플치 제어 시스템의 차이를 또다른 샘플치 제어 시스템으로 모델링하여 그림 3과 같이 표현하고, 이때의 시스템 모델 G 는 다음과 같이 표현될 수 있다.

$$G = \begin{bmatrix} (P(1 - K_c P)^{-1} - P) & -P \\ \rho K_c P(1 - K_c P)^{-1} & -\rho I \\ P & P \end{bmatrix} = \begin{bmatrix} A & B_1 & B_2 \\ C_1 & 0 & D_{12} \\ C_2 & 0 & 0 \end{bmatrix} \quad (3)$$

이때, 디지털 재설계 문제는 시스템 G 에 대해서 입력 w 부터 출력 z 로의 출력을 최소화하는 디지털 제어기 K_d 를 설계하는 문제와 동치이다.

2.3 H_2 최적 제어기 설계

이번 절에서는 앞서 제시한 z 를 최소화시키는 디지털 제어기를 설계하기 위해, 그림 3의 시스템을 동일한 H_2 -norm을 가지는 이산시간 시스템으로 치환하고 이산시간 플랜트를 위한 이산시간 제어기를 설계하는 문제로 치환한다.

이를 위해 샘플치 제어 시스템의 특성을 고려하면, 샘플러와 홀더를 포함한 샘플치 제어 시스템의 임펄스 응답은 샘플링 간격 사이의 입력 $\delta(t-s)$, $s \in [0, h)$ 에 대해서 h -periodic의 성질을 갖는다. 즉, 샘플링 순간에 입력되는 외란에 대해서 최적 디지털 제어기를 설계하는 기존의 방식 [3]을 사용하는 것은 적합하지 않다. 이에 [4]에서는 h -periodic 시스템의 H_2 -norm을 샘플링 간격 사이에 입력되는 모든 임펄스 입력에 대한 출력의 L_2 -norm으로 고려하여 디지털 재설계를 사용하였다. h -periodic 시스템의 H_2 -norm은 다음과 같이 정의된다[5].

$$\|T\|_{H_2}^2 = \frac{1}{h} \int_{s=0}^h \text{tr} \left(\int_0^\infty T'(t,s)T(t,s)dt \right) ds \quad (4)$$

$T(t,s)$ 는 시스템 T 의 matrix-valued h -periodic time-varying 임펄스 응답이다. 이때, 다음의 정리를 통해 (4)에서 주어지는 H_2 -norm과 동일한 H_2 -norm을 가지는 이산시간 시스템을 구할 수 있다.

정리 1 [5]. 식 (3)에서 주어지는 G 에 대하여 다음과 같은 디지털 시스템 G_d 를 정의한다.

$$G_d = \begin{bmatrix} A_d & B_{1d} & B_{2d} \\ C_{1d} & 0 & D_{12d} \\ C_{2d} & 0 & 0 \end{bmatrix} \quad (5)$$

$$\begin{aligned} A_d &= e^{Ah} && : \mathbb{R}^n \rightarrow \mathbb{R}^n \\ B_{1d} & && : \mathbb{R} \rightarrow \mathbb{R}^n \\ B_{1d}B_{1d}' &= \int_0^h e^{A\tau} B_1 B_1' e^{A'\tau} d\tau && : \mathbb{R} \rightarrow \mathbb{R}^n \\ B_{2d} &= \Psi(h)B_2 && : \mathbb{R} \rightarrow \mathbb{R}^n \\ C_{1d} & && : \mathbb{R}^n \rightarrow \mathbb{R} \\ \hat{D}_{12} & && : \mathbb{R} \rightarrow \mathbb{R} \\ \begin{bmatrix} C_{1d}' \\ D_{12d}' \end{bmatrix} [C_{1d} \ D_{12d}] &= \begin{bmatrix} (1,1) & (1,2) \\ (1,2)' & (2,2) \end{bmatrix} \\ (1,1) &= \int_0^h e^{A'\tau} C_1' C_1 e^{A\tau} d\tau \\ (1,2) &= \int_0^h e^{A'\tau} C_1' (C_1 \Psi(\tau) B_2 + D_{12}) d\tau \\ (2,2) &= \int_0^h (B_2' \Psi(\tau) C_1' + D_{12}') (C_1 \Psi(\tau) B_2 + D_{12}) d\tau \\ C_{2d} &= C_2 && : \mathbb{R}^n \rightarrow \mathbb{R} \\ \Psi(t) &= \int_0^t e^{A\tau} d\tau \end{aligned}$$

이때, $\|G_d\|_{H_2}$ 를 최소화하는 디지털 제어기 K_d 를 구하는 문제는 디지털 시스템 G_d 와 디지털 제어기 K_d 로 구성되는 디지털 제어 시스템의 $\|G_d\|_{H_2}$ 를 최소화하는 문제와 동치이다.

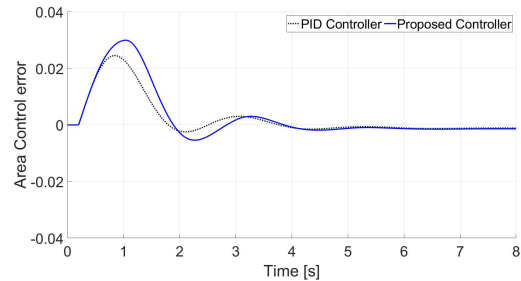
3. 모의 실험

이번 절에서는 시뮬레이션을 통해 앞서 소개한 디지털 재설계 기법의 유효성을 보인다. 표 1에 주어진 시스템 파라미터를 사용한 단일지역 전력 계통을 고려하였으며 샘플링 주기는 $h=1[s]$ 임을 가정하였다.

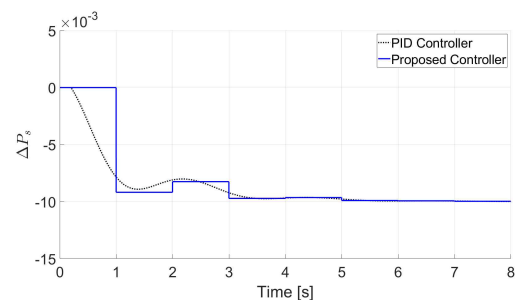
부하 전력 증분으로 $t=0.6[s]$ 에서 입력된 계단형 입력을 고려하였을 때, 시스템의 출력과 제어 입력의 거동은 각각 그림 4-5와 같다. 검은색 점선은 아날로그 제어기에 의해 제어되는 기준 모델의 반응, 파란색 실선은 본 논문에서 제안한 방법으로 재설계한 디지털 제어기에 의한 반응이다. 그림 4-5를 통해 제안된 디지털 제어기가 샘플링 간격 사이에서 입력된 부하 변동에 대하여 아날로그 제어기의 성능을 잘 추종함을 확인할 수 있다.

<표 1> 단일지역 계통 파라미터

$T_e = 0.08$	$T_t = 0.3$	$M_e = 0.1667$	$D = 0.0083$
$R = 2.4$	$B = 0.425$	$K = 0.1$	$T = 0.026$



<그림 4> 시스템 출력 y: 아날로그 제어기 (검은색 점선), 디지털 재설계 (파란색 실선)



<그림 4> 제어 입력 u: 아날로그 제어기 (검은색 점선), 디지털 재설계 (파란색 실선)

4. 결 론

본 논문에서는 단일지역 전력 계통을 위한 아날로그 부하 주파수 제어기의 디지털 재설계 기법을 소개하였다. 한편, 실제 전력 계통은 단일지역이 아닌 다수의 제어지역이 연계선으로 연결되어있는 다지역 전력 계통을 주로 사용하고 있다. 따라서, 다수 지역 전력 계통을 위한 디지털 재설계 기법이 추후 연구되어야 한다.

감사의 글

본 연구는 2022년도 산업통상자원부의 재원으로 한국에너지기술연구원(KETEP)의 지원을 받아 수행한 연구과제입니다.(No. 20222A10100010)

참고 문헌

- [1] H. Bevrani, *Robust Power System Frequency Control*, New York, NY, USA: Springer, 2009.
- [2] H. Luo, Z. Hu, "Stability analysis of sampled-data load frequency control systems with multiple delays", *IEEE Transactions on Control Systems Technology*, vol. 30, no. 1, pp. 434–442, 2022.
- [3] N. Rafee, T. Chen, and O. P. Malik "A technique for optimal digital redesign of analog controller", *IEEE Transactions on control systems technology*, vol. 5, no. 1, pp. 89–99, 1997.
- [4] 박해연, 김정훈, "샘플링 사이의 거동을 고려한 아날로그 제어기의 H_2 최적 디지털 재설계", *대한전기학회 학술대회 논문집*, pp. 278–279, 2021.
- [5] B. Bamieh, J. B. Pearson, "The H_2 problem for sampled-data systems", *Systems and Control Letters*, vol. 19, no. 1, pp. 1–12, 1992.