

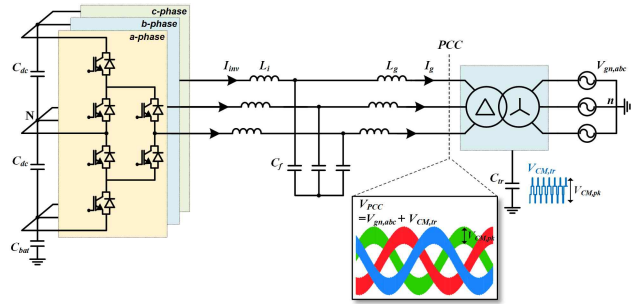
3-레벨 계통연계형 인버터의 전 변조 영역 공통모드전압 저감을 위한 캐리어 기반 적응형 DPWM 기법

유원혁*, 박기범*
한국과학기술원*

A Carrier-Based Adaptive DPWM with Reduced Common-Mode Voltage over the Full Modulation Range for Grid-Connected Three-Level Inverters

Wonhyeok You*, Ki-Bum Park*
Korea Advanced Institute of Science and Technology*

Abstract - 본 논문에서는 3레벨 계통연계형 인버터의 공통 모드전압(Common-Mode Voltage, CMV)을 전 변조영역에서 저감하기 위한 캐리어 기반의 적응형 DPWM 기법을 제안한다. 에너지저장장치(ESS)와 같이 배터리 측 기생 커패시턴스가 계통 측 기생 커패시턴스보다 큰 시스템에서는 공통모드 전압이 계통 측에 인가되어 변압기와 부하 기기의 신뢰성을 저해하므로, 공통모드전압의 크기를 억제할 필요성이 존재한다. 본 논문은 공통모드 저감에 유리한 POD(Phase Opposition Disposition) 캐리어를 기반으로, 변조지수에 따라 클램핑 방식을 적응적으로 선택하여 전 운전 범위에서 공통모드 전압을 저감하는 동시에 스위칭 손실 측면의 이점도 확보하는 새로운 DPWM 기법을 제안한다.



〈그림 1〉 3레벨 계통연계형 인버터 회로도

1. 서 론

최근 AI 산업의 급격한 성장에 따른 전력 수요 증가로 ESS의 수요가 빠르게 증가하고 있다. 그러나 인버터의 스위칭 동작에 의해 발생하는 CMV는 ESS와 같이 배터리 측 기생 커패시턴스가 계통 측 기생 커패시턴스보다 큰 시스템에서, 계통 측에 그대로 나타난다. 이는 변압기 및 계통 측 부하 기기 등에 직접적인 스트레스를 가하므로, 인버터 단에서 이를 능동적으로 억제할 필요성이 존재한다 [1]. 이에 3레벨 인버터에서 공통모드 전압을 직류 전압의 1/6 이내로 유지하는 방안이 필요하다.

3레벨 인버터의 캐리어 변조 방식 중 POD 캐리어는 상하 캐리어의 위상이 반전된 구조로 인해 풀 전압 합산 시 공통모드 성분이 상쇄되는 이점을 가져 CMV 저감에 유리하다 [2]. 그러나 효율 개선에 유리한 기존 DPWM1 기법을 POD 캐리어에 적용할 경우, 그림 2와 같이 특정 변조지수 이하에서 CMV가 $V_{dc}/6$ 을 초과하는 스위칭 조합이 사용된다. 이로 인해 CMV 저감 측면에서 전 운전 범위를 포괄하지 못하는 한계가 존재한다. 본 논문에서는 그림 2의 3레벨 인버터의 Zero Clamping 범위를 변조지수에 따라 가변적으로 적용하여 CMV가 전 변조 영역에서 $V_{dc}/6$ 이내로 유지되는 POD 캐리어 기반의 적응형 DPWM 기법을 제안한다.

2. 본 론

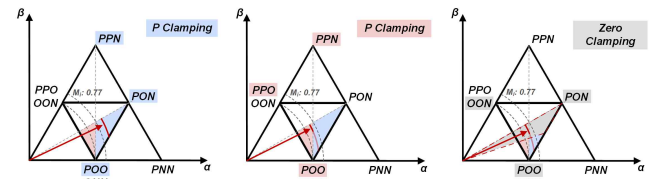
2.1 제안하는 DPWM의 운전 영역 및 마진 함수 분석

제안하는 DPWM 기법은 한 섹터 내에서 Zero Clamping이 적용되는 구간을 구간 변수 K_r 를 통해 결정한다. 이를 기준으로 임계 전압 v_t 를 설정하여 Zero Clamping 구간과 P/N Clamping 구간으로 분할한다. 그림 3에서 θ ($0 \leq \theta \leq 30^\circ$)를 공간벡터 섹터의 중심축으로부터 측정된 사이각으로 정의하면, $\theta = 30^\circ \times K_r$ 의 관계가 성립한다. 섹터 중심으로부터 θ 만큼 떨어진 지점에서 중간상 전압의 절댓값은 식 (1)과 같다.

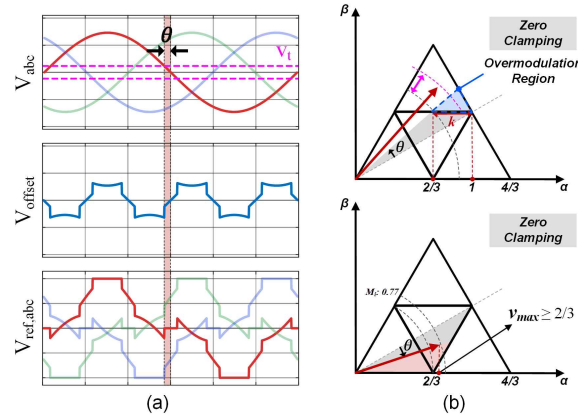
$$|v_{mid}| = M_i \sin(\theta) \quad (1)$$

두 클램핑 영역의 전환 지점인 $|v_{mid}| = v_t$ 가 성립하며, 이를 K_r 에 대한 1차식으로 선형 근사하면 식 (2)와 같이 표현된다.

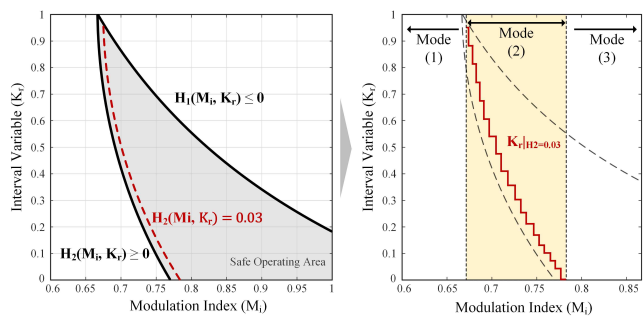
$$v_t = 0.5 \times M_i \times K_r \quad (2)$$



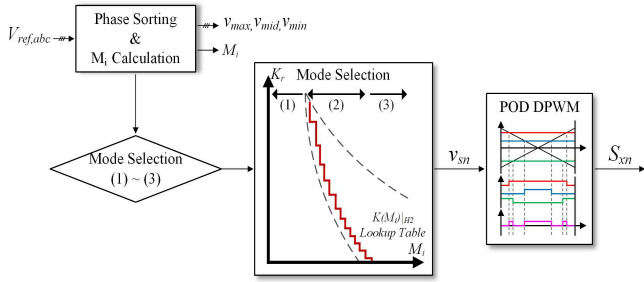
〈그림 2〉 변조지수에 따른 공간벡터 사용 영역 비교



〈그림 3〉 제안하는 DPWM의 동작 및 마진함수 분석



〈그림 4〉 SOA 분석 및 변조 지수에 따른 모드 구분



〈그림 5〉 제안하는 DPWM 기법 동작 알고리즘

그림 3(b)의 공간벡터 분석을 기반으로, K_r 에 대한 두 가지 마진 함수 $H1$ 과 $H2$ 를 식 (3), (4)와 같이 정의한다.

$$H1(M_i, K_r) = 2M_i \sin(\theta) + M_i \cos(\theta + 30^\circ) - 1 \quad (3)$$

$$H2(M_i, K_r) = 3M_i \cos(30^\circ (1 - K_r)) - 2 \quad (4)$$

$H1$ 은 Zero Clamping 구간에서 전압 지령이 선형 변조 영역을 벗어나지 않도록 보장하는 과변조 한계 조건이며, $H2$ 는 CMV를 $V_{dc}/6$ 이내로 유지하기 위한 K_r 의 최소 조건이다. 전 운전 영역에서 안정적인 CMV 억제 성능을 확보하려면 두 조건을 동시에 만족하는 $H1 \leq 0, H2 \geq 0$ 범위의 운전 영역이 정의되어야 한다. 이를 구간 변수 K_r 과 변조지수 M_i 의 평면상에 투영한 안전 운전 영역(Safe Operating Area, SOA)은 그림 4와 같다.

본 논문에서는 식 (2)의 선형 근사 오차와 시스템 노이즈를 보완하고, 과도 상태에서의 운전 안정성을 달성하기 위해 $H2(M_i, K_r) = 0.03$ 의 마진을 반영하여 1차원 룩업 테이블(LUT)을 구성하였다. LUT에서 도출된 K_r 를 통해 실시간으로 임계 전압 v_t 가 결정된다.

2.2. 제안하는 DPWM 알고리즘 동작 분석

그림 5는 제안하는 DPWM 알고리즘의 전체 동작 흐름도를 나타낸다. 알고리즘은 변조지수에 따라 효율 및 CMV 저감 성능이 최적화되는 세 가지 변조 모드 중 하나를 선택하며, 전압 지령의 최댓값(v_{max}), 중간값(v_{mid}), 최솟값(v_{min})을 기준으로 모드별 영상분 오프셋 전압 v_{sn} 을 산출한다. 각 모드별 오프셋 전압 $v_{sn,mode1}, v_{sn,mode2}, v_{sn,mode3}$ 은 각각 아래 식 (5),(6),(7)과 같다.

$$v_{sn,mode1} = \begin{cases} -v_{mid} & |v_{mid}| \leq 1 - |v_{max}| \text{ and } |v_{mid}| \leq 1 - |v_{min}| \\ -1 - v_{min} & \text{otherwise, } v_{max} + v_{min} < 0 \\ 1 - v_{max} & \text{otherwise, } v_{max} + v_{min} \geq 0 \end{cases} \quad (5)$$

$$v_{sn,mode2} = \begin{cases} -v_{mid} & |v_{mid}| < v_t \\ -1 - v_{min} & |v_{mid}| \geq v_t \text{ and } v_{max} + v_{min} < 0 \\ 1 - v_{max} & |v_{mid}| \geq v_t \text{ and } v_{max} + v_{min} \geq 0 \end{cases} \quad (6)$$

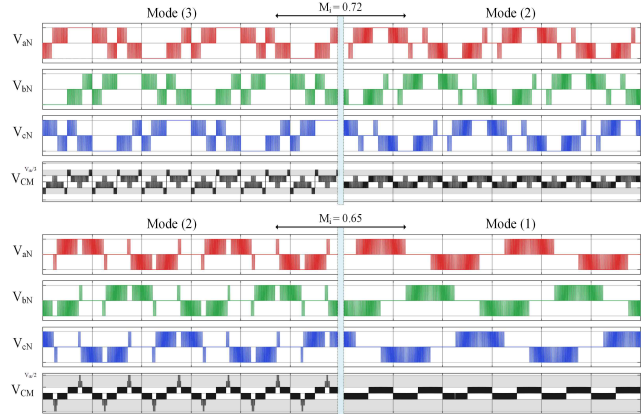
$$v_{sn,mode3} = \begin{cases} 1 - v_{max} & v_{max} + v_{min} \geq 0 \\ -1 - v_{min} & v_{max} + v_{min} < 0 \end{cases} \quad (7)$$

각 변조 모드로부터 계산된 오프셋 전압 v_{sn} 은 상전압 지령에 더해져 POD 캐리어와의 비교를 통해 각 상의 스위칭 상태를 결정하는 게이트 구동 신호로 변환된다.

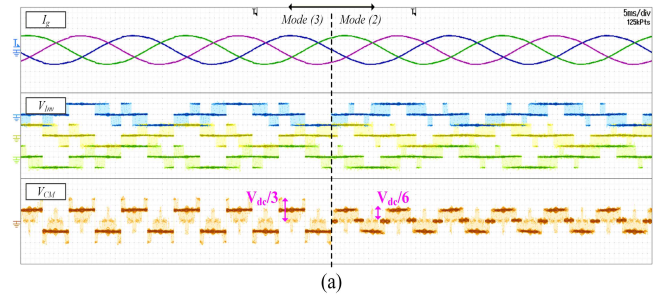
2.3. 제안하는 DPWM 알고리즘 시뮬레이션 및 실험 검증

제안 알고리즘의 타당성을 검증하기 위해 직류 전압 200V, 스위칭 주파수 10kHz, 10Ω 저항 부하 조건에서 시뮬레이션 및 실험을 수행하였다. 그림 6은 $M_i = 0.72$ 와 $M_i = 0.65$ 의 변조지수에서 Mode에 따른 극전압 및 CMV를 비교한 결과 파형이다. 각 변조지수에서 해당 영역에 적합하지 않은 모드를 적용할 경우 CMV가 $V_{dc}/6$ 를 초과하는 반면, 제안 알고리즘이 선택하는 모드를 적용할 경우 CMV가 전 구간에서 $V_{dc}/6$ 이내로 유

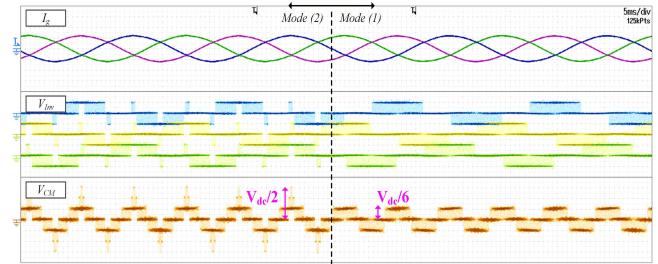
지하는 것을 확인하였다. 그림 7은 제안하는 알고리즘의 실험 파형으로, (a)는 $M_i = 0.72$, (b)는 $M_i = 0.65$ 조건에 해당한다. 실험 결과를 통해 변조지수에 따른 적응형 모드 전환이 전 운전 영역에서 CMV가 $V_{dc}/6$ 이내로 유지하는 것을 확인하였다.



〈그림 6〉 변조 모드에 따른 극전압 및 CMV 시뮬레이션 파형



(a)



(b)

〈그림 7〉 변조 모드에 따른 극전압 및 CMV 실험 파형

3. 결 론

본 논문은 3레벨 계통연계형 인버터의 CMV를 전 변조 영역에서 $V_{dc}/6$ 이내로 저감하는 POD 캐리어 기반의 적응형 DPWM 기법을 제안한다. 변조지수에 따라 Zero Clamping과 P/N Clamping을 적응적으로 전환하고, 특정 구간에서 SOA 분석을 통해 설계된 LUT로 구간 변수 K_r 를 결정함으로써 CMV 제약과 효율을 동시에 확보하였다. 또한, 시뮬레이션 및 실험을 통해 제안 기법의 타당성을 검증하였다.

[참 고 문 헌]

- [1] Hwang, K., Kim, D., Kim, S., & Oh, G. (2025-07-07). Impact of Parasitic Capacitance in ESS Systems on Common Mode Voltage. Power Electronics Conference, 강원.
- [2] P. K. Chaturvedi, S. Jain and P. Agrawal, "Harmonics and common mode voltage reduction in multilevel SPWM technique," 2008 Annual IEEE India Conference, Kanpur, India, 2008